

PATENT ABSTRACTS OF JAPAN

3

(11)Publication number : 02-110641

(43)Date of publication of application : 23.04.1990

(51)Int.Cl.

G06F 12/06

(21)Application number : 63-263482

(71)Applicant : NEC CORP
KOUFU NIPPON DENKI KK

(22)Date of filing : 19.10.1988

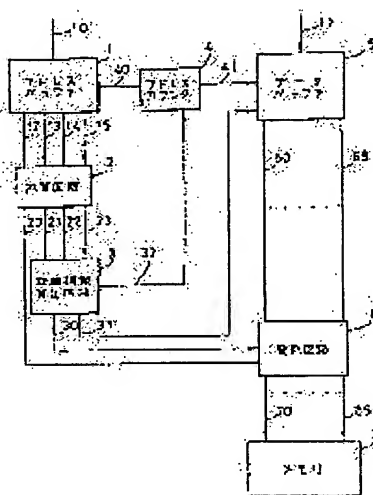
(72)Inventor : FUJIWARA YOSHIFUMI
KITAMURA TOYOJI

(54) MEMORY ACCESS CONTROLLER

(57)Abstract:

PURPOSE: To widely shorten processing time by obtaining the greatest common divisor based on the difference between addresses to be given from an address buffer in parallel, making the greatest common divisor into inter-data distance information, and simultaneously giving plural data to plural access ports in parallel.

CONSTITUTION: Respective separate plural write addresses are stored through a data line 10 into an address buffer 1. At this time, an aligning circuit 6 to make simultaneously access to plural data arranged on a memory at constant intervals is controlled and made to execute parallel processing as follows. Namely, the inter-data distance information is obtained in a subtracting circuit 2 and a distance information calculating circuit 3 as the greatest common divisor based on the difference between the mutual access addresses of arbitrary chronologically consecutive memory access requests, and a virtual memory access request is generated. Further, the processing time can be shortened by alignment-controlling the aligning circuit 6 based on the virtual memory access request.



Best Available Copy

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-110641

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月23日

G 06 F 12/06

R

8841-5B

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 メモリアクセス制御装置

⑯ 特 願 昭63-263482

⑰ 出 願 昭63(1988)10月19日

⑱ 発 明 者 藤 原 芳 文 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 北 村 豊 司 山梨県甲府市丸の内1丁目17番14号 甲府日本電気株式会
社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 出 願 人 甲府日本電気株式会社 山梨県甲府市丸の内1丁目17番14号
㉒ 代 理 人 弁理士 柳 川 信

明 細 書

1. 発明の名称

メモリアクセス制御装置

2. 特許請求の範囲

(1) 外部から順次与えられるアドレスを格納するアドレスバッファ手段と、このアドレスバッファ手段から並行して与えられるアドレスの1つの少くとも一部を先頭アドレスとして発生させ、該アドレスの差に基づき最大公約数を求めデータ間距離情報として発生させる発生手段と、この発生手段から与えられる先頭アドレスおよびデータ間距離情報に基づき複数のデータをメモリの複数のアクセスポートに同時に並列に与える整列手段とを含むことを特徴とするメモリアクセス制御装置。

3. 発明の詳細な説明

技術分野

本発明は情報処理システムに用いられるメモリアクセス制御装置に関し、特に同時アクセス可能

な複数のアクセスポートを有するメモリに対するメモリアクセス制御装置に関する。

従来技術

科学技術演算を高速に行なう情報処理システムでは、同時アクセス可能な複数のアクセスポートを有するメモリが用いられている。このメモリ上等間隔に配置されている複数のデータをアクセスする装置として、これら複数のデータの先頭アドレス情報とデータ間距離情報とによりメモリアクセス情報をそれぞれの所望するポートに同時に整列させ、メモリをアクセスするメモリアクセス制御装置が提案されている。この技術の詳細は、特開昭62-54350号公報を参照できる。

この装置では、アクセスするメモリ上のアドレスがそれぞれ等間隔である複数のメモリアクセス要求を処理する場合、高速に処理できる。しかしそれぞれが独立した複数のメモリアクセス要求の場合には、アクセスするメモリ上のアドレスにそれぞれ関連がないため第4A図に示すように1つずつ順に処理しなければならない。その結果、時

間がかかるという欠点がある。

発明の目的

本発明の目的は、互いに独立した複数のメモリアクセス要求を高速に処理することが可能なメモリアクセス制御装置を提供することにある。

発明の構成

本発明のメモリアクセス制御装置は、外部から順次与えられるアドレスを格納するアドレスバッファ手段と、このアドレスバッファ手段から並行して与えられるアドレスの1つの少なくとも一部を先頭アドレスとして発生させ、該アドレスの差に基づき最大公約数を求めデータ間距離情報として発生させる発生手段と、この発生手段から与えられる先頭アドレスおよびデータ間距離情報に基づき、複数のデータをメモリの複数のアクセスポートに同時に並列に与える整列手段とを含む構成となっている。

実施例

次に本発明について図面を参照して詳細に説明する。

セス要求数に基づいてアドレスバッファ1にバッファアドレスを与えるとともに、データ線41にバッファアドレスを送出するアドレスカウンタ4、データ線11を介して与えられる書込データを複数個格納し線41を介して与えられるバッファアドレスから連続するデータを読み出し、線31からの有効ビットの示すデータ線50～65に送出するデータバッファ5、このデータバッファ5から線50を介して与えられるデータを線20を介して与えられる「先頭アドレス情報」が示すポートへ送出し、線50+1を介して与えられるデータを「該先頭アドレス情報」+「該データ間距離情報X1」の示すポートへデータ線70～85を介して送出する整列回路6、およびデータ線70～85を介してアクセスされる16個のメモリアクセスポート0～15およびこれらメモリアクセスポート0～15に対応する16個のバンクを有するメモリ7を含む。なお、整列回路6は、特開昭62-54350号公報の第1図に示すネットワーク回路で実現できる。

第1図および第2図を参照すると、本発明の一実施例は、データ線10を介して順次送られてくるメモリに対する書込アドレスを複数格納するアドレスバッファ1、このアドレスバッファ1から信号線12～15を介して与えられるアドレスを受け、線12を介して与えられるアドレスの下位4ビットを先頭アドレスとして線20に送出し、線12および13を介して与えられるアドレスの差を求め、信号線21に送出し線13および14を介して与えられるアドレスの差を求め信号線22に送出し線14および15を介して与えられるアドレスの差を求め信号線23に送出する減算回路2、この減算回路2から線21～23を介して与えられるアドレスに基づき最大公約数を求めデータ間距離情報として線30に出力し、該アドレス差からメモリアクセス要求の有効マスクを作成して線31に出力し、該アドレス差から処理できるメモリアクセス要求の数を求めデータ線32に出力する距離情報算出回路3、この距離情報算出回路3から線32を介して与えられるメモリアク

第3図を参照すると、メモリ7に対するアドレス付けは、バンク100～115の順に0～15番地とアドレスが付与される。また、16番地はバンク100に戻り、17～31番地はバンク101～115の順にアドレス付けされる。各バンクは各マシンサイクル毎に1回アクセスが可能である。

次に本発明の一実施例の動作を第1図から第5図を参照して詳細に説明する。尚、第5図はメモリアクセス要求順、書込みアドレス、ポートおよび書込みデータの関係を示している。

第1図、第2図および第4B図を参照すると、メモリアクセス要求がメモリアクセスサイクルの4倍の早さで順に行われると、データ線10を介して書込みアドレスがアドレスバッファ1に格納されるとともに、データ線11を介して書込みデータがデータバッファ5に順に格納される。

アドレスバッファ1はアドレスカウンタ4からデータ線40を介して与えられるバッファアドレスで指示される1番目のメモリアクセス要求のアド

アクセスアドレスである書き込みアドレス“2”をデータ線12を介して、書き込みアドレス“5”をデータ線13を介して、アドレス“11”をデータ線14を介して、書き込みアドレス“29”をデータ線15を介して減算回路2に夫々送出する。減算回路2はデータ線13および12を介して与えられた書き込みアドレス“5”および“2”の差“3”を求めてデータ線21から、データ線14および13を介して与えられた書き込みアドレス“11”および“5”の差“6”を求めてデータ線22から、データ線15および14を介して与えられた書き込みアドレス“29”および“11”の差“18”を求めデータ線23からそれぞれ距離情報算出回路3に送出する。また、データ線12を介して与えられた書き込みアドレス“2”の下位4ビットの値“2”を先頭アドレス情報としてデータ線20から整列回路6に送出する。

距離情報算出回路3は、データ線21、22および23を介して与えられる書き込みアドレス間の差“3”、“6”および“18”の最大公約数

“3”を求め、データ線30から整列回路6へデータ間距離情報として送出する。またこの書き込みアドレス間の差“3”、“6”および“18”からポート競合をチェックする。このポート競合のチェックはメモリ7のバンク数Xに対しMODXの演算で求められる。すなわち、書き込みデータD(1)と書き込みデータD(2)との差“3”、書き込みデータD(2)と書き込みデータD(3)との差“6”、書き込みデータD(3)と書き込みデータD(4)との差“18”、書き込みデータD(1)と書き込みデータD(3)との差“9”、書き込みデータD(1)と書き込みデータD(4)との差“27”、および書き込みデータD(2)と書き込みデータD(4)との差“24”のいずれも“16”で割り切れない。すなわち下位4ビットが“0”でないため、ポート競合は発生しない。

従って、処理個数“4”とデータ線32を介してアドレスカウンタ4に送出される。また、最大公約数“3”と書き込みアドレス間の差“3”、“6”および“18”から有効マスク“1101

000001000000”を作成しデータ線31を介してデータバッファ5に送出する。

アドレスカウンタ4はデータ線32を介して与えられるデータ処理個数“4”によりアドレスバッファ1とデータバッファ5へ送出するバッファアドレスをそれぞれ4データ分更新する。データバッファ5はアドレスカウンタ4からデータ線41を介して与えられる1番目のメモリアクセス要求の書き込みデータの保持されているバッファアドレスにより、1番目からの書き込みデータを読出し、データ線31を介して与えられるメモリアクセス有効マスク“1101000001000000”の有効ビットの立っているデータ線に送出する。すなわちデータ線50からデータD(1)が、データ線51からデータD(2)が、データ線53からデータD(3)が、データ線59からデータD(4)が整列回路6に夫々送出される。

整列回路6はデータ線20を介して与えられた先頭アドレス情報“2”とデータ線30を介して与えられたデータ間距離情報“3”とにより、デ

ータ線50からのデータをポート“2”につなぐるデータ線72から、データ線51からのデータをポート“5”につなぐるデータ線75から、データ線52からのデータをポート“8”につなぐるデータ線68から、……、データ線65からのデータをポート“15”につなぐるデータ線75から、夫々メモリ7に送出する。

メモリ7は有効であるメモリアクセスだけ処理する。第4B図に示すタイミング(A)はこの処理を示している。

次にアドレスバッファ1はアドレスカウンタ4からデータ線40を介して与えられる5番目のメモリアクセス要求の書き込みアドレスの保持されているバッファアドレスにより、データ線12を介して書き込みアドレス“14”を、データ線13を介して書き込みアドレス“16”を、データ線14を介して書き込みアドレス“25”を、データ線15を介して書き込みアドレス“30”を減算回路2に夫々送出する。

減算回路2はデータ線13および12を介して

与えられた書き込みアドレス“16”および“14”の差“2”を求め、データ線21から、データ線14および13を介して与えられた書き込みアドレス“25”および“16”の差“9”をデータ線22から、データ線15および14を介して与えられた書き込みアドレス“30”および“25”の差“5”をデータ線23から夫々に距離情報算出回路3に送出する。

また、データ線12を介して与えられた書き込みアドレス“14”の下位の14ビットの値“14”を先頭アドレス情報としてデータ線20から整列回路6に送出する。距離情報算出回路3は、データ線21、22および23を介して与えられた書き込みアドレス間の差“2”、“9”および“5”の最大公約数“1”を求め、データ線30から整列回路6へデータ間距離情報として送出する。また、この書き込みアドレス間の差“2”、“9”および“5”からポート競合をチェックする。データD(5)ーデータD(8)の差が“16”となるためポート競合が生じる。従って、処理個数

“3”をデータ線32を介してアドレスカウンタ4に送出する。また、最大公約数“1”と、書き込みアドレス間の差“2”および“9”から有効マスク“10100000000010000”を作成し、データ線31からデータバッファ5に送出する。

アドレスカウンタ4はデータ線32を介して与えられたデータ処理個数“3”によりアドレスバッファ1とデータバッファ5へ送出するバッファアドレスをそれぞれ3データ分更新する。データバッファ5は、アドレスバッファ4からデータ線41を介して与えられる5番目のメモリアクセス要求の書き込みデータの保持されているバッファアドレスにより5番目からの書き込みデータを読出し、データ線31を介して与えられるメモリアクセス有効マスク“10100000000010000”の有効ビットの立っているデータ線から送出する。つまりデータ線50からデータD(5)が、データ線52からデータD(6)がデータ線61からデータD(7)が整列回路6に夫々送出される。

整列回路6はデータ線20を介して与えられた先頭アドレス情報“14”とデータ線30を介して与えられたデータ間距離情報“1”により、データ線50からのデータをポート“14”にアクセスできるデータ線84から、データ線51からのデータをポート“15”にアクセスできるデータ線85から、データ線52からのデータをポート“0”にアクセスできるデータ線70から、…、データ線65からのデータをポート“13”にアクセスできるデータ線83から、夫々メモリ7に送出する。

メモリ7は有効であるメモリアクセスだけ処理する。第4B図におけるタイミング(B)がこの処理を示している。以下同様に10番目までのメモリアクセス要求が処理され、タイミング(C)が8番目から10番目のメモリアクセスを示している。

また、本実施例では、4つの連続するメモリアクセス要求の最初のメモリアクセス要求から先頭アドレス情報を作成しているが、他の3つのメモ

リアクセス要求からもこの先頭アドレス情報を容易に作成することができる。

発明の効果

本発明によれば、それぞれが独立である複数個のメモリアクセス要求を処理する場合、メモリ上に一定間隔で配置されている複数個のデータを同時にアクセスすることのできる整列回路への制御情報の1つであるデータ間距離情報を任意の時間的に連続するメモリアクセス要求の相互のアクセスアドレス間の差の最大公約数とすることにより、仮想のメモリアクセス要求を発生させ、第4B図に示すように同時に複数のメモリアクセス要求を処理する。この結果、第4A図に示す従来技術での処理時間と比較して、本発明による処理時間が大幅に短縮できるという効果がある。

4. 図面の簡単な説明

第1図は、本発明の一実施例を示す図、第2図はメモリ7の詳細な構成を示す図、第3図はメモリ7のアドレス付けを説明するための図、第4A図および第4B図は夫々従来処理と本発明の一実

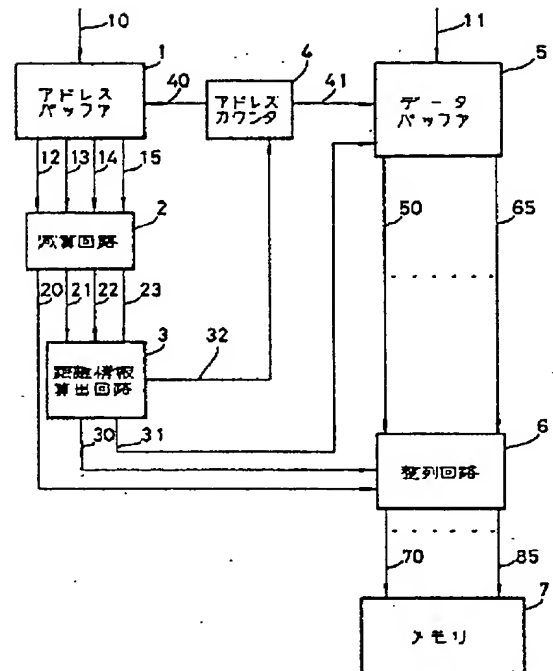
施例におけるメモリアクセスの時間関係を処理するタイムチャート、第5図はメモリアクセス要求順と書き込みアドレス、ポート、書き込みデータの関係を示す図である。

主要部分の符号の説明

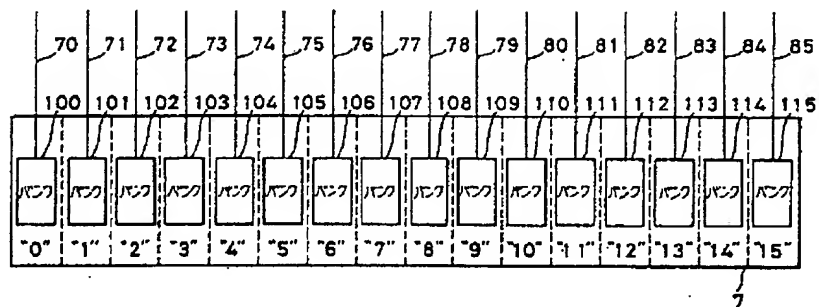
- 1 …… アドレスバッファ
- 2 …… 減算回路
- 3 …… 距離情報算出回路
- 4 …… アドレスカウンタ
- 5 …… データバッファ
- 6 …… 整列回路
- 7 …… メモリ

出願人 日本電気株式会社 (外1名)
代理人 弁理士 柳川 信

第1図



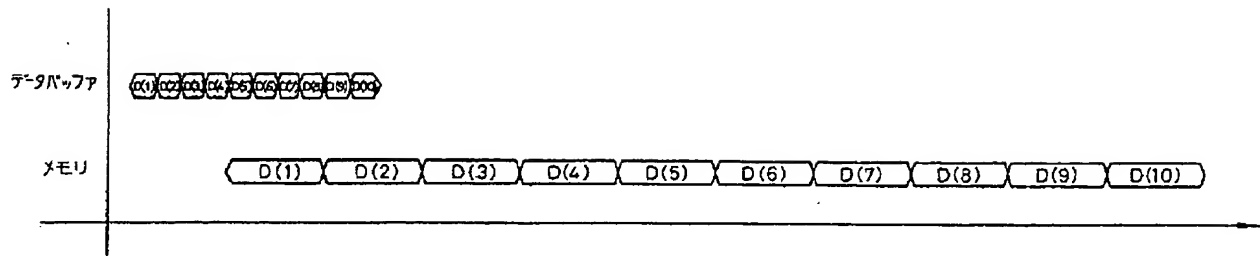
第2図



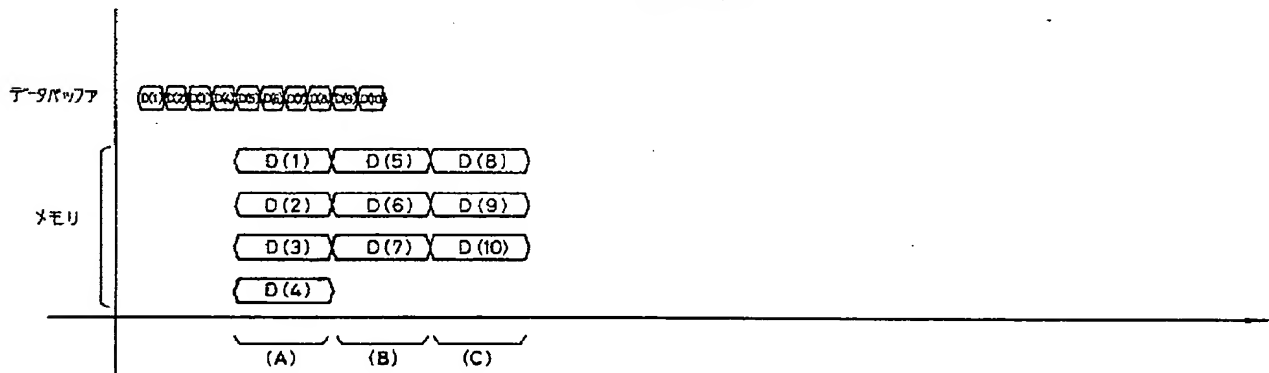
第3図

100	101	102	103	104	105	106	107	108	109	110	111	112	113	114	115
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63
64	65	66	67	68	69	70	71	72	73	74	75	76	77	78	79
80	81	82	83	84	85	86	87	88	89	90	91	92	93	94	95

第4A図



第4B図



第 5 図

メモリアクセス要求順	書き込みアドレス	ポ ー ト	書き込みデータ
1	2	2	D (1)
2	5	5	D (2)
3	11	11	D (3)
4	29	13	D (4)
5	14	14	D (5)
6	16	0	D (6)
7	25	9	D (7)
8	30	14	D (8)
9	32	0	D (9)
10	33	1	D (10)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.